

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-346262

(43)Date of publication of application : 02.12.1992

(51)Int.Cl.

H01L 27/06
H01L 21/331
H01L 29/73
H01L 21/338
H01L 29/812

(21)Application number : 03-119678

(71)Applicant : NEC CORP

(22)Date of filing : 24.05.1991

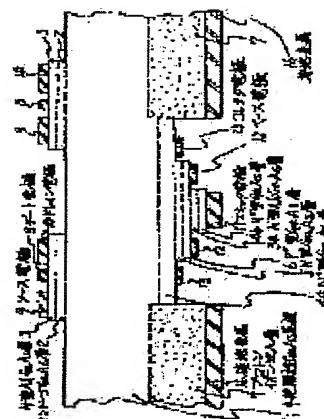
(72)Inventor : HONJO KAZUHIKO

(54) COMPOUND SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To reduce the heat resistance of a bipolar transistor by a method wherein a field-effect transistor is formed on the surface of a semiinsulating compound semiconductor substrate, the bipolar transistor is formed on the rear and a heat sink is connected to the rear of the substrate.

CONSTITUTION: A secondary-electron gas FET which is composed of an undoped GaAs channel layer 2, an electron supply layer 3, a gate electrode 8, a source electrode 9 and a drain electrode 10 is formed on the surface of a semiinsulating GaAs substrate. An HBT which is constituted of an emitter electrode 11 composed of AuGe-Ni, a collector layer 13 composed of AuGe-Ni and a base electrode 12 composed of AlMn-Ni is formed on the rear of the substrate 1. A grounding metal 16 and the emitter electrode 11 which have been formed on the rear of the semiinsulating GaAs substrate 1 are connected to a grounding metal block 18 which is used also as a heat sink. Thereby, the operating-layer temperature of a bipolar transistor can be lowered.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-346262

(43) 公開日 平成4年(1992)12月2日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/06 21/331 29/73		7210-4M 7377-4M	H 0 1 L 27/06 29/72	F
審査請求 未請求 請求項の数4(全4頁) 最終頁に続く				

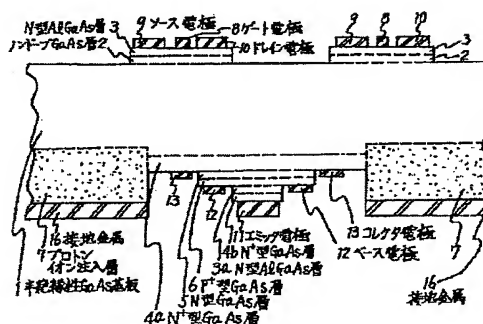
(21) 出願番号	特願平3-119678	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成3年(1991)5月24日	(72) 発明者	本城 和彦 東京都港区芝五丁目7番1号日本電気株式会社内
		(74) 代理人	弁理士 内原 晋

(54) 【発明の名称】 化合物半導体素子

(57) 【要約】

【構成】半絶縁性GaAs基板1の表面にノンドープGaAs層2、N型AlGaAs層3が積層され、ゲート電極8、ソース電極9、ドレイン電極10からなる2次元電子ガスFETが形成されている。裏面には、N⁺GaAsサブコレクタ層4a、N型GaAsコレクタ層5、P⁺型GaAsベース層6、N型AlGaAsエミッタ層3a、N⁺型GaAsエミッタキャップ層4bが積層され、エミッタ電極11、コレクタ電極13、ベース電極12からなるHBTが形成され、周囲にプロトンイオン注入絶縁層7および接地金属16が形成されている。

【効果】裏面に消費電力の大きいバイポーラトランジスタを形成し、表面に消費電力の小さいFETを形成して、高信頼性を維持しながらバイポーラトランジスタとFETとからなる混成集積回路の集積度を上げることができる。



1

【特許請求の範囲】

【請求項1】 半絶縁性化合物半導体基板の表面に電界効果トランジスタが形成され、前記基板の裏面にバイポーラトランジスタが形成されている化合物半導体素子。

【請求項2】 半絶縁性化合物半導体基板の裏面にヒートシンクが接続されている請求項1記載の半導体素子。

【請求項3】 半絶縁性化合物半導体基板の表面に形成された回路と、前記基板の裏面に形成された回路とが、バイアホール回路および容量結合回路のうち少なくとも1つによって、電気的に接続されている請求項1記載の化合物半導体素子。

【請求項4】 電界効果トランジスタとして2次元電子ガストランジスタを用い、バイポーラトランジスタとしてヘテロ接合バイポーラトランジスタを用いた請求項1記載の化合物半導体素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は化合物半導体素子に関するものである。

【0002】

【従来の技術】 化合物半導体を用いた能動素子は電界効果トランジスタ(FET)系デバイスとバイポーラトランジスタ系デバイスとの2種類に大別できる。

【0003】 FETの代表例は2次元電子ガスFETであり、バイポーラの代表例はヘテロ接合バイポーラトランジスタ(以下HBTと記す)である。

【0004】 一般にFET系デバイスは低消費電力、高速性、低RF雑音特性を併せもっているが電流駆動能力が小さく、1/f雑音が大きいという欠点をもっている。

【0005】 一方バイポーラ系デバイスは高速性、高い電流駆動能力と低1/f雑音特性をもっているが消費電力が大きいという欠点をもっている。

【0006】 そこでFET系デバイスとバイポーラ系デバイスを同一の半導体チップ上に集積化し、互いの弱点を補い合いながら両方の長所を最大限引き出すための研究開発が行なわれている。

【0007】 シリコンLSIの分野ではBi-CMOSがこれに相当するが、化合物半導体素子の分野では低雑音小信号増幅部にFET系デバイスを用い、高出力増幅器、局部発振部にバイポーラ系デバイスを用いることが多い。

【0008】 従来技術によるAlGaAs/GaAs HBTおよびAlGaAs/GaAs 2次元電子ガスFETの混成集積回路について、図4を参照して説明する。

【0009】 MOCVDにより半絶縁性GaAs基板1上の一部に選択的にエピタキシャル成長したN⁺型GaAsサブコレクタ層4a、N型GaAsコレクタ層5、P⁺型GaAsベース層6、N型AlGaAsエミッタ層3a、N⁺型GaAsエミッタキャップ層4bが積層

(2)

特開平4-346262

2

されている。その上にAuGe-Niからなるエミッタ電極11、AuMn-Niからなるベース電極12およびAuGe-Niからなるコレクタ電極13が形成されてHBTが構成されている。

【0010】 さらにMOCVDによりGaAs基板1上の他の部分に選択的にエピタキシャル成長したノンドープGaAsチャネル層2、N型AlGaAs電子供給層3が積層されている。その上にAlからなるゲート電極8、AuGe-Niからなるソース電極9およびドレイン電極10が形成されている。

【0011】

【発明が解決しようとする課題】 従来例においてHBTの消費電力 P_{HBT} は同一平面積の2次元電子ガスFETの消費電力 P_{FET} に比べて5倍程度大きい。HBTの動作部の温度を T_{CH} 、熱抵抗を R_T とすれば上昇温度は、

$$\Delta T = T_{CH} - T_0 = R_T P_{HBT} \quad (1)$$

となる。(1)式において T_0 はチップ裏面の温度である。

【0012】 これに対して2次元電子ガスFETの動作部の温度を T_{CF} とすれば ΔT は

$$\Delta T = T_{CF} - T_0 = R_T P_{FET} \quad (2)$$

となる。(1)、(2)式からチップ裏面と動作部との温度差はHBTの場合は2次元電子ガスFETに比べて5倍程度大きくなる。通常 $T_0 = 50^\circ\text{C}$ 、 $T_{CH} = 80^\circ\text{C}$ 程度であり、 T_{CF} は 200°C にもなる。

【0013】 トランジスタの信頼性は動作部の温度上昇に対して指数関数的に劣化するので、従来例においてはHBTの信頼性は2次元電子ガスFETに比べて非常に悪くなるという欠点があった。

30 【0014】 本発明の目的はこのような問題を解消し、HBTの信頼性を維持するFET・バイポーラ混成集積回路を提供することにある。

【0015】

【課題を解決するための手段】 本発明の化合物半導体素子は、半絶縁性化合物半導体基板の表面に電界効果トランジスタが形成され、前記基板の裏面にバイポーラトランジスタが形成されている。さらに前記半絶縁性化合物半導体基板の裏面にヒートシンクが接続されている。さらに前記半絶縁性化合物半導体基板の表面に形成された回路と、前記基板の裏面に形成された回路とが、バイアホール回路および容量結合回路のうち少なくとも1つによって、電気的に接続されている。また前記電界効果トランジスタとして2次元電子ガストランジスタを用い、前記バイポーラトランジスタとしてヘテロ接合バイポーラトランジスタを用いる。

【0016】

【作用】 消費電力の小さい電界効果トランジスタをチップ表面に形成し、消費電力の大きいバイポーラトランジスタをチップの裏面に形成して、バイポーラトランジスタの動作層温度を低く抑える。

(3)

特開平4-346262

3

【0017】その結果バイポーラトランジスタの高信頼性を維持して、チップ面積を縮小することができる。バイポーラトランジスタおよび電界効果トランジスタからなる混成集積回路の集積度を上げることができる。

【0018】

【実施例】本発明の第1の実施例について、図1を参照して説明する。

【0019】半絶縁性GaAs基板1の表面にノンドープGaAsチャネル層2、N型AlGaAs電子供給層3、Alからなるゲート電極8、AlGe-Niからなるソース電極9、ドレイン電極10から構成される2次元電子ガスFETが形成されている。

【0020】この基板1の裏面には、N⁺型GaAsサブコレクタ層4a、N型GaAsコレクタ層5、P⁺型GaAsベース層6、N型AlGaAsエミッタ層3a、N⁺型GaAsエミッタキャップ層4bが積層されている。その上にAuGe-Niからなるエミッタ電極11、AuGe-Niからなるコレクタ電極13、AlMn-Niからなるベース電極12から構成されるHBTが形成されている。その周囲はプロトンイオン注入層7で絶縁され、さらに接地金属16が形成されている。

【0021】つぎに第1の実施例の実装方法について、図2を参照して説明する。

【0022】半絶縁性GaAs基板1の裏面に形成された接地金属16およびエミッタ電極11は、ヒートシンクを兼ねた接地金属ブロック18に接続されている。

【0023】つぎに本発明の第2の実施例について、図3を参照して説明する。

【0024】これは半絶縁性GaAs基板1の表面に形成された回路と、裏面に形成された回路との電気的接続方法を説明するものである。

【0025】表面に形成された電極15aはバイアホール回路14を通して裏面に形成された電極15bと接続されている。また表面に形成された電極15cは静電容量により裏面に形成された電極15dと結合されている。さらに裏面に形成された接地金属16およびエミッタ電極11は、ヒートシンクを兼ねた接地金属ブロック18に接続されている。

【0026】以上の実施例では化合物半導体基板としてGaAs基板を用いたが、化合物半導体材料としてはこ

4

のほかInAlAs/InGaAsヘテロ接合系を用いるInPなどを用いることができる。また素子の集積度は2個、3個に限定することなく、本発明の効果を得ることができる。

【0027】

【発明の効果】消費電力の大きいバイポーラトランジスタをチップ裏面に形成してヒートシンクと直接接触させるので、バイポーラトランジスタの熱抵抗が著しく低減され、ΔTは従来の150℃から本発明の10℃まで大幅に改善した。

【0028】一方消費電力の小さいFETはチップ表面に形成されるので、バイポーラトランジスタの高信頼性を維持して、バイポーラトランジスタとFETとからなる混成集積回路の集積度を上げることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す断面図である。

【図2】本発明の第1の実施例の実装方法を示す断面図である。

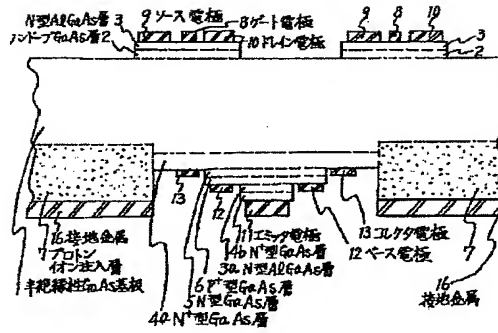
【図3】本発明の第2の実施例を示す断面図である。

【図4】従来技術による化合物半導体素子を示す断面図である。

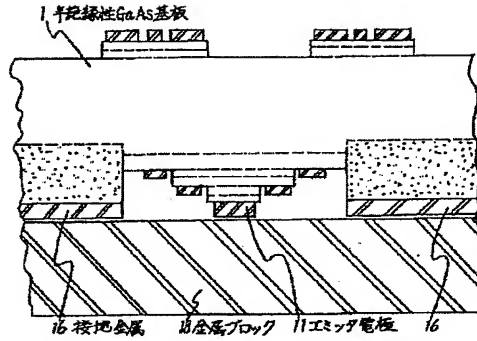
【符号の説明】

- 1 半絶縁性GaAs基板
- 2 ノンドープGaAs層
- 3, 3a N型AlGaAs層
- 4, 4a, 4b N⁺型GaAs層
- 5 N型GaAs層
- 6 P⁺型GaAs層
- 7 プロトンイオン注入層
- 8 ゲート電極
- 9 ソース電極
- 10 ドレイン電極
- 11 エミッタ電極
- 12 ベース電極
- 13 コレクタ電極
- 14 バイアホール回路
- 15, 15a, 15b, 15c, 15d 電極
- 16 接地金属
- 17, 17a, 17b, 17c 電極
- 18 金属ブロック

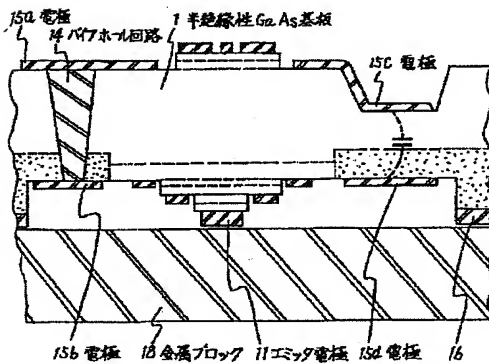
【図1】



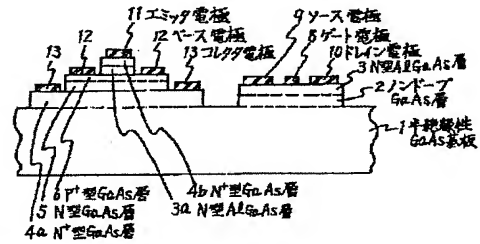
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl.⁵

H01L 21/338

29/812

識別記号

庁内整理番号

FI

技術表示箇所

7739-4M

H01L 29/80

H